

数字信号处理器分布式寄存器的写回设计

邵 铮, 谢 憬, 王 琴, 毛志刚

(上海交通大学 微电子学院, 上海 200240)

摘 要: 针对分布式寄存器文件应用于高性能超长指令字(VLIW)数字信号处理器而造成的分支流水线与写回控制信号的同步问题, 提出了一种面向分布式本地寄存器文件的写回策略. 其中包括指令执行周期的产生, 写回信号缓存以及写回控制单元. 采用了面积功耗性能评估方法, 结果证明了该策略能充分发挥分布式寄存器文件在功耗方面的优势, 相对于运用集中式寄存器文件可以减少 50% 的功耗, 同时对于传统流水线写回控制方法可以节省 60% 的面积开销.

关键词: 分布式寄存器; 写回; 超长指令字; 流水线

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2013)07-0024-04

Write-Back Strategy for Distributed Register in Digital Signal Processor

SHAO Zheng, XIE Jing, WANG Qin, MAO Zhi-gang

(School of Microelectronics, Shanghai Jiaotong University, Shanghai 200240, China)

Abstract: We present a design of write back strategy for distributed register file in VLIW digital signal processor to solve the synchronization problem of branch pipeline and write back signals. The design includes generating execution cycles, write back signal register and write back control unit. We assess the area and power of the design. The proposed strategy can fully implement the advantage of distributed register file, will save 50% in power compared with central register file, and will save 70% in area compared with traditional write back control method.

Key words: distributed register file; write-back; VLIW; pipeline

1 引言

多媒体处理应用比如视频压缩解压缩等对运算效率有很高的要求. 为了实现运算密集型应用, 例如 Imagine^[1] 流处理器通过大规模的 ALU 阵列来实现很高的运算性能, 以单指令多数据(SIMD)的方式处理数据, 因此对于寄存器的容量和带宽有很高的要求.

文献[2]中的 VLIW 处理器采用集中式寄存器文件的结构, 不同功能单元的写回信息随着功能单元的执行流水线传递到写回阶段, 从而控制写回的数据和目的寄存器.

传统的集中式寄存器文件在功耗和面积方面都

存在缺陷, 分布式寄存器文件结构将传统的寄存器堆分配给不同的功能单元, 每个功能单元拥有独立的本地寄存器文件. Scott Rixner 等人对集中式寄存器文件和分布式寄存器文件进行过相关研究^[3-4]. 文献[5]研究了关于簇状超长指令字结构的寄存器文件的功耗, 将寄存器文件重新分配为分布式的结构, 实现了功耗方面的性能提升. 但是伴随分布式寄存器文件的使用, 处理器流水线的不同分支执行时间不同, 而写回目标也不固定, 会产生写回操作与流水线同步方面的问题.

本文通过研究分布式寄存器文件的读写特点以及 VLIW 处理器的分支流水线的特性, 提出一种基于写回缓存结构的写回策略, 能够解决流水线与写

回控制信号的同步问题. 充分发挥分布式寄存器优势的同时, 相比于传统流水线的写回控制在 VLIW 数字信号处理器中的应用有性能上的提升.

2 VLIW 与分布式寄存器结构

2.1 VLIW 数字信号处理器

本文研究对象是以单指令多数据(SIMD)方式处理的紧耦合数字信号处理器. 超长指令字(VLIW)是单指令多数据的一种实现方式, 它将指令字长度增加, 以实现单条指令对多核的控制. 本文的 VLIW 处理器指令字长度为 288 位, 划分成不同的子域分别对应不同的执行单元. 单条 VLIW 指令控制多个运算簇进行相同的运算操作. 如图 1 所示, 该处理器由 16 个如图所示的运算簇构成执行部分. VLIW 指令经过译码单元后广播给 16 个运算簇进行运算. 每个运算簇内部包含运算单元 4 个 ALU、2 个 MUL, 互联通信单元 COMM 以及输入输出单元 INOUT.

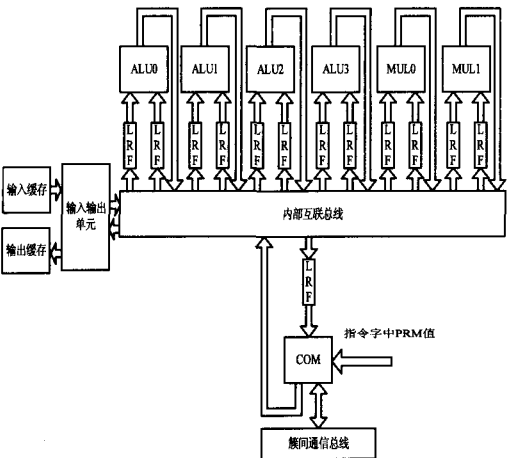


图 1 运算簇内部结构图

2.2 分布式寄存器文件结构

运算簇内部的寄存器文件采用分布式的结构, 即每个功能单元的输入端配有深度 8 位宽 32 的本地寄存器文件(LRF), 都是双端口的寄存器堆, 读写都是由超长指令字中相应的子域字段控制. 由于采用分布式寄存器的结构, 需要额外的互联单元来保障数据在不同功能单元间的通信. 内部互联总线 (INTRABUS) 采用多个多路选择器 (MUX) 的结构实现了各个功能单元输出与各个 LRF 之间的数据桥接, MUX 的选通信号同样是有超长指令字中相应子域字段控制. 由此写回 LRF 的控制信号就包含两个部分: 总线选通信号和 LRF 写地址信号.

2.3 分支流水线结构

VLIW 数字信号处理器流水线如图 2 所示, 取指译码过后流水线会按照不同的执行功能单元分成多个分支. 每个功能单元进行相应指令子域的操作, 执行周期数不尽相同. 执行完再通过内部互联总线写回到指令指定的本地寄存器文件中.

取指	译码	读寄存器	输入	写回	写回	
		读寄存器	整数加 1	整数加 2	写回	写回
		读寄存器	整数加 1	整数加 2	写回	写回
		读寄存器	浮点加 1	浮点加 2	浮点加 3	浮点加 4
		读寄存器	浮点加 1	浮点加 2	浮点加 3	浮点加 4
		读寄存器	定点乘 1	定点乘 2	定点乘 3	定点乘 4
		读寄存器	定点乘 1	定点乘 2	定点乘 3	定点乘 4

图 2 VLIW 处理器流水线

写回阶段占用两级流水栈, 主要原因是写回数据先要通过 32 位 8 选 1 的多路选择器, 为了避免关键路径过长, 将多路选择器拆分为两级流水提高时序性能.

3 分布式寄存器写回设计方案

在以上介绍的结构中, 本设计采用了写回缓存配合写回控制单元解决分布式寄存器文件结构面临的写回信息与分支流水线同步的问题.

3.1 写回问题分析

根据图 2 的分支流水线可以看出, 写回的源是不同的功能单元, 包括 4 个算数逻辑单元(ALU)、2 个乘法单元(MUL)、1 个通信单元(COMM)以及 1 个输入输出单元(INOUT). 写回的目标是运算簇内总共 13 个分布式本地寄存器文件. 写回的控制信息包括总线选通信号和 LRF 写地址信号, 均与 LRF 一一对应. 指令译码阶段就会将上述信息送入运算簇, 根据不同单元执行周期数的不同, 将在各自源的写回栈配合运算结果数据使用. 总选选通信号需要在写回的第一个周期被使用, LRF 写回地址信号需要在写回的第二个周期被使用.

传统的写回策略^[6]将写回控制信号伴随指令执行流水线缓存. 应用于本文的高性能数字信号处理器中, 对于处理器的多个执行单元以及分布式寄存器文件的多个寄存器块, 都需要大量的流水线寄存器对于写回控制信号进行缓存和发放. 由此造成的硬件开销较大.

3.2 写回控制的设计

根据分支流水线的特点, 将写回控制模块针对

LRF 进行设计. 即针对每个 LRF 配有相应的写回信息暂存寄存器. 如图 3 所示, 在流水线的读寄存器栈由 OP_BUFFER 根据操作码产生各个功能单元的写回控制模块. 写回控制模块根据执行周期, 将写回信息存入指定的流水式的缓存中. 在写回阶段写总线选通信号和 LRF 写地址信号会在相继的两个周期送入运算簇中执行写回操作.

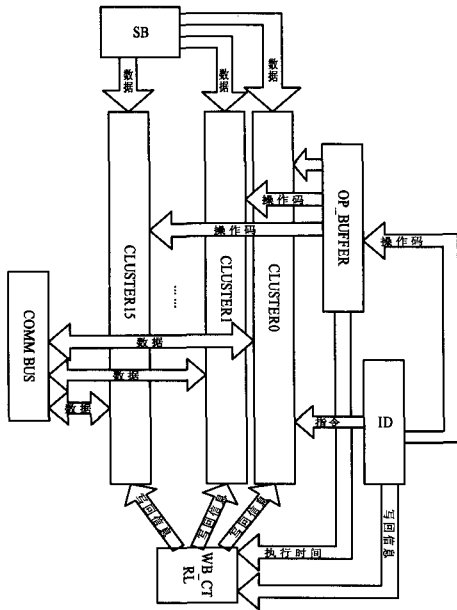


图 3 写回控制的实现结构图

由于 VLIW 数字信号处理器采用单指令多数据的数据结构, 指令广播给 16 个运算簇执行相同的操作. 因此写回控制模块放在写运算簇外, 写回信息也以广播的形式送入 16 个运算簇中, 这样也节省了写回控制的硬件开销.

写回信息缓存结构如图 4 所示. 为了配合功能单元的流水线长度, 写回缓存总共需要使用 5 级寄存器. 寄存器之间采用流水式的结构, 而每一级寄存器都可以被写入, 由之前产生的执行周期数决定. 每个写回缓存的存储空间是 30bit, 该策略总共需要 390bit 的存储空间. 如果采用传统的流水线写回控制方法, 每个流水线分支需要匹配相应的写回控制信号缓存. 对于 MUL 需要 4 级缓存寄存器, 对于 ALU 和 COMM 需要 2 级缓存寄存器. 总共需要 1404bit 的存储空间. 写回控制策略将大大节省控制信号缓存占用的存储空间.

4 性能评估

将所用的 $13 \times 32 \times 8\text{bit}$ 的分布式寄存器文件与 $32 \times 64\text{bit}$ 的集中式寄存器文件进行性能对比. 采用业界通用的 SMIC 0.13um 工艺库对寄存器文

件, 写回控制单元进行逻辑综合, 其结果如表 1 所示.

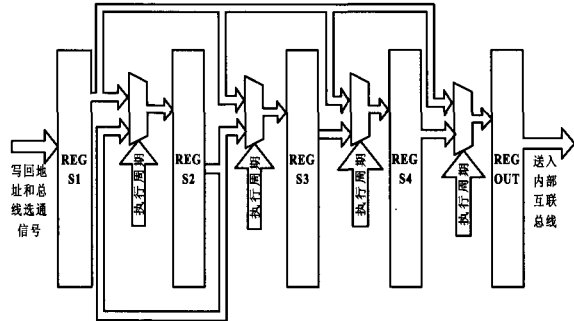


图 4 写回信息缓存结构图

表 1 逻辑综合结果

模块	时序/ns	面积/ μm^2
文中写回控制单元	2.23	27954
传统写回控制单元	2.15	83013
RF_DIS	2.66	260514
RF_CEN	2.86	725895

从表中可以看出, 工作频率都可以达到 300M. 写回控制逻辑所占用的面积要远小于分布式寄存器文件的面积. 因此这种设计可以被合理的应用于分布式寄存器的写回同步. 而相对于集中式的寄存器文件而言, 分布式寄存器文件(包含写回控制逻辑)的面积减少了 60%, 可以看出尽管分布式寄存器文件需要写回控制逻辑的额外硬件开销, 在面积性能方面还是要优于集中式寄存器文件. 相对于传统的写回控制方法应用于该数字信号处理器中的结果, 文中提出的写回控制策略节省了 60% 的面积开销.

对两种寄存器文件用 Synopsys Astro 进行布局布线, 提取延时参数信息后进行后仿真, 将后仿真波形用 Synopsys PTPX 工具进行功耗评估分析. 采用的应用分别是 160 维向量数量积, 8×8 矩阵相乘以及 1024 点基 2 快速傅里叶变换. 其结果如图 5 所示.

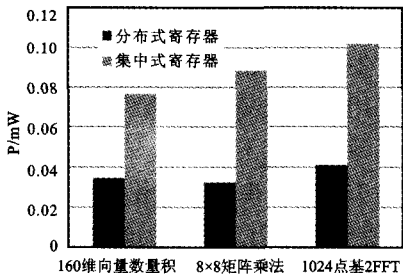


图 5 三种应用下寄存器功耗图

对于三种常见的数字信号处理应用来说, 运算量都很大, 对于寄存器堆的访问都比较频繁. 从中可

以看出,不论是针对哪种应用,分布式寄存器文件在功耗方面要优于集中式寄存器文件,相比要减少50%以上。

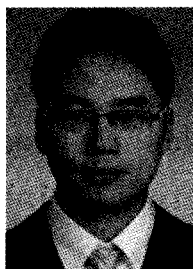
5 结束语

文中提出了一种面向分布式寄存器文件的写回策略,针对分布式寄存器文件和超长指令字分支流水线的特点,重点解决写回冲突和同步问题。该策略将写回信息统一进行管理与缓存,通过对各单元执行周期判断将写回信息在指定的周期送入指定的寄存器文件。从实验结果看出,该策略相比传统策略节省硬件资源,并且能将分布式寄存器相对集中式寄存器功耗方面的优势发挥出来。

参考文献:

- [1] Ujval J Kapasi, William J Dally, Scott Rixner, et al. The imagine stream processor[C]// Proceedings of the 2002 IEEE International Conference on Computer Design: VLSI in Computers and Processors (ICCD'02). Germany: Freiburg, 2002.
- [2] 唐骞, 杨小雪. VLIW 处理器的设计与实现[J]. 微型机与应用, 2010(11): 27—29.
- [3] Scott Rixner, William J Dally, Brucek Khailany, et al. Register organization for media processing high—performance computer architecture[C]// HPCA—6 Proceedings Sixth International Symposium on Digital Object Identifier. France: Fouluse, 2000.
- [4] Tay Jyi Lin, Chen chia Lee, Chih wei Liu, et al. A novel register organization for VLIW digital signal processors[C]// IEEE VLSI—TSA International Symposium on VLSI Design. Tai Wan, Hisinchu, 2005.
- [5] Yingchao Zhao, Chun Jason Xue, Minming Li, et al. Energy-aware register file repartitioning for clustered VLIW architectures[C]// Design Automation Conference. Japan: Yokohama, 2009.
- [6] 凡启飞, 张戈, 徐翠萍. 嵌入式处理器中的寄存器堆延迟写回技术[J]. 计算机辅助设计与图形学学报, 2009(8): 1182—1188.

作者简介:



邵 铮 男, (1988—), 硕士研究生. 研究方向为数字集成电路设计。

谢 憬 男, (1981—), 助理研究员. 研究方向为大规模集成电路设计、片上处理器体系结构、先进集成电路设计与方法。

王 琴 女, (1975—), 副教授. 研究方向为大规模集成电路设计、先进集成电路设计方法。

毛志刚 男, (1962—), 教授, 博士生导师. 研究方向为大规模集成电路设计、可重构体系结构设计、集成电路与元器件可靠性等。